

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-055024

(43)Date of publication of application : 29.03.1984

(51)Int.Cl.

H01L 21/314

H01L 21/318

(21)Application number : 57-165739

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.09.1982

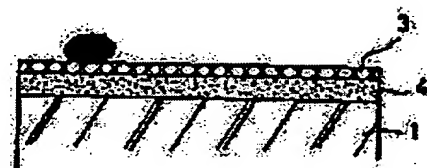
(72)Inventor : FURUMURA YUJI  
NISHIZAWA TAKESHI  
MAEDA MAMORU

## (54) FORMATION OF INSULATING FILM

## (57)Abstract:

**PURPOSE:** To enable to form an insulating thin film having stabilized dielectric strength by a method wherein nitrogen ions are implanted to a silicon substrate to form a silicon nitride film, and after O<sub>2</sub> ions are implanted to the part lower than the interface between the silicon nitride film and the silicon substrate, a heat treatment is performed at the specified temperature.

**CONSTITUTION:** N<sub>2</sub> ions are implanted extremely thin at the extent of 100Å; film thickness to the surface of the silicon substrate 1. The ion implantation condition is to form the silicon nitride film 3 only in the surface layer in a short time by enlarging the current quantity by a voltage. Then, O<sub>2</sub> ions are implanted to the lower part of the silicon nitride film 3 to make film thickness thereof to the extent of 300Å. As the ion implantation condition, a silicon oxide film 4 is formed under the silicon nitride film 3 according to a comparatively high accelerating voltage. In this condition as it is, the films can not be called yet as the regular silicon nitride film or silicon oxide film, and because only impurity ions thereof are driven in the silicon substrate 1, the heat treatment is performed for 30min at the temperature 1,100° C in N<sub>2</sub> gas or O<sub>2</sub> gas to demarcate the silicon nitride film 3 of 100Å; film thickness and the silicon oxide film 4 of 300Å; film thickness.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—55024

⑬ Int. Cl.<sup>3</sup>

H 01 L 21/314  
21/318

識別記号

庁内整理番号

7739—5F

7739—5F

⑭ 公開 昭和59年(1984)3月29日

発明の数 1

審査請求 未請求

(全 3 頁)

⑮ 絶縁膜の形成方法

⑯ 特 願 昭57—165739

⑰ 出 願 昭57(1982)9月22日

⑱ 発 明 者 古村雄二

川崎市中原区上小田中1015番地

富士通株式会社内

⑲ 発 明 者 西沢武志

⑱ 発 明 者 前田守

川崎市中原区上小田中1015番地

富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

絶縁膜の形成方法

2. 特許請求の範囲

シリコン基体に窒素イオンを注入して窒化シリコン膜を形成する工程と、該窒化シリコン膜と前記シリコン基体との界面より下部に酸素イオンを注入する工程と；次いで1000℃以上の温度で熱処理する工程とが含まれてなることを特徴とする絶縁膜の形成方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は絶縁膜の形成方法にかゝり、特に MIS 形半導体装置のゲート絶縁膜など極めて薄い絶縁膜の形成方法に関する。

(b) 従来技術と問題点

半導体集積回路 (IC) は益々高密度化・高集積化して LSI, VLSI が開発製造されるようになってきた。それはこれらの IC を構成する素子が極めて微細化されてきたからで、例えば 1 個の

MOS 型半導体素子は 10 平方ミクロン程度の面積内に形成されている。

このように微細化し、高集積化する理由は、低消費電力で高速に動作する利点があるためであるが、上記の MOS 型半導体素子においても、小型化と共にゲート絶縁膜も非常に薄く形成され、その膜厚は数 100 Å 程度となつてきた。かように薄くすれば、スレーショルド電圧 (しきい値電圧) が低下する利点がある反面、安定した膜質の絶縁膜を形成するとが大変難しいことが問題である。

例えば、第 1 図に示す断面図のようにシリコン基板 1 上に膜厚 300 Å の酸化 (SiO<sub>2</sub>) からなる絶縁膜 2 を形成して、その多数の試料からその絶縁耐圧を測定すると、第 2 図に示すようなデータが得られる。形成方法は、僅かに塩酸を含ませた乾燥酸素 (O<sub>2</sub>) ガス中で 1050℃ の高温で熱処理して作成したものの 1 例である。第 2 図の図表から、絶縁耐圧分布は 2 つの群に分れており、凡そ 40% の試料は約 6 V の耐圧を維持しているが、残りの 60% 試料は 1 V 程度あるいはそれ以下となつていて

とが判る。これは、多分形成工程で  $\text{SiO}_2$  膜内にナトリウムイオン ( $\text{Na}^+$ ) など汚染源 (第1図中に黒点で示す) がトラップされるため、リーク電流が生ずるものと考えられるが、このように形成工程中の雰囲気汚染され、しかも上記データのように耐圧劣化した試料の方が多きこともあるということはLSI、VLSIの品質上極めて危惧すべき問題である。

#### (c) 発明の目的

第2図に示したデータは膜厚  $300\text{\AA}$  と極めて薄く、実用面では未だ実施段階にはないが、今後更にゲート絶縁膜が薄くなることが予想され、また現在実施中の膜厚  $700\text{\AA}$  ないし  $800\text{\AA}$  のゲート絶縁膜も汚染されていることを意味するものである。

本発明はこのような絶縁耐圧の不良を除去し、安定した絶縁耐圧を有する絶縁薄膜を形成する方法を提案する。

#### (d) 発明の構成

その目的は、シリコン基体に窒素 ( $\text{N}_2$ ) イオンを注入して窒化シリコン膜を形成する工程と、該窒化シリコン膜と上記シリコン基体との界面より

3

このまゝでは、未だ正規な窒化シリコン膜あるいは酸化シリコン膜とは言えず、シリコン基板1にこれらの不純物イオンを叩き込んだだけであるから、 $\text{N}_2$  ガス又は  $\text{O}_2$  ガス中で温度  $1100^\circ\text{C}$ 、30分間熱処理して、第5図に示すように膜厚  $100\text{\AA}$  の窒化シリコン膜3と膜厚  $300\text{\AA}$  の酸化シリコン膜4とを画定する。

このようにして、多数の試料を作成し、その絶縁耐圧を測定した結果、第6図に示すデータ図表がえられた。横軸は絶縁耐圧、縦軸は試料数を示しているが、図示のように僅か8%程度の耐圧不良となつたのみで、殆んどの試料が充分の絶縁耐圧を保持した。それは、恐らく第5図に示しているように窒化シリコン膜3が汚染源 (黒点で示す) の侵入を防止したものと考えられる。

尚、第7図(a)は熱処理温度とシリコン結晶のギャップエネルギーの関係図表で、曲線Iがそれを示しており、イオン注入で損された結晶が  $1000^\circ\text{C}$  でほぼ回復し、 $1100^\circ\text{C}$  では完全な結晶となることを示す。 $E_g$  はシリコン結晶の固有ギャップエネ

下部に  $\text{O}_2$  イオンを注入する工程と、次いで少くとも  $1000^\circ\text{C}$  以上の温度で熱処理する工程とが含まれる絶縁膜の形成方法によつて達成することができる。

#### (e) 発明の実施例

以下、図面を参照して実施例によつて詳細に説明する。第3図ないし第5図は本発明にかゝる工程順断面図を示しており、先づ第3図に示すようにシリコン基板1の表面に極めて薄く、膜厚  $100\text{\AA}$  程度に  $\text{N}_2$  イオンを注入する。イオン注入条件は、加速電圧  $5\text{KeV}$ 、ドーズ量  $1 \times 10^{16} \text{ cm}^{-2}$ 、イオン電流  $1 \text{ mA cm}^{-2}$  とし、低電圧で電流量を多くして、単時間に表面のみに窒化シリコン膜3を形成する。

次いで、第4図に示すようにその窒化シリコン膜3の下部に  $\text{O}_2$  イオンを注入し、その膜厚を  $300\text{\AA}$  程度にする。イオン注入条件としては、加速電圧  $15\text{KeV}$ 、ドーズ量  $5 \times 10^{16} \text{ cm}^{-2}$ 、イオン電流  $0.3 \text{ mA cm}^{-2}$  で、比較的高い加速電圧によつて窒化シリコン膜3の下に酸化シリコン膜4を形成する。

4

ルギーの1つであつて、この場合の熱処理時間はいづれも30分とした。第7図(b)は  $1000^\circ\text{C}$ 、又は  $1100^\circ\text{C}$  の温度で30分熱処理してえられた光の反射率とエネルギーの関係図表で、シリコン結晶の固有エネルギー  $E_1$  ( $3.45 \text{ eV}$ ) と  $E_2$  ( $4.4 \text{ eV}$ ) とが確認され、シリコン結晶構造が安定していることを示している。

したがつて、このようにして絶縁膜を形成して、ゲート絶縁膜とすれば極めて薄い高品質のゲート膜がえられ、スレーショルド電圧を更に低くして、一層性能の良いMOS型半導体素子を形成することができる。

#### (f) 発明の効果

以上の説明から判るように、本発明は膜厚  $300\text{\AA}$  前後の薄い絶縁膜の耐圧を劣化させることなく形成する方法で、本発明によればLSI、VLSIを更に低消費電力化させるなどその性能向上に極めて貢献するものである。

尚、上記はゲート絶縁膜を形成する実施例で説明しているが、同程度の薄膜を形成する他の部分

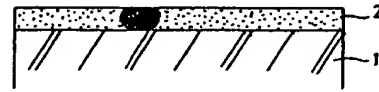
にも適用できることは言うまでもない。

#### 4. 図面の簡単な説明

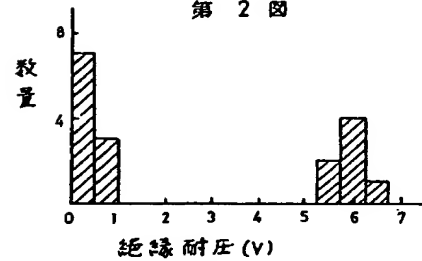
第1図および第2図は従来の形成方法の問題点を示す断面図と絶縁耐圧データ図表、第3図ないし第6図は本発明にかゝる形成工程順断面図、第6図はその絶縁耐圧データ図表、第7図(a)および(b)は本発明による熱処理に伴うシリコン結晶性回復のデータ図表である。図中、1はシリコン基板、2、4は酸化シリコン膜、3は窒化シリコン膜を示す。

代理人 弁理士 松 岡 宏 四 郎

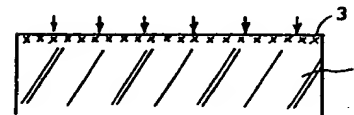
第 1 図



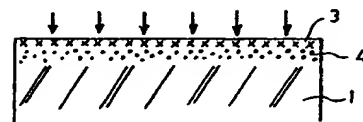
第 2 図



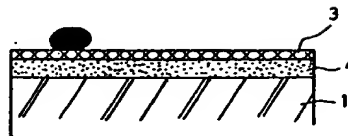
第 3 図



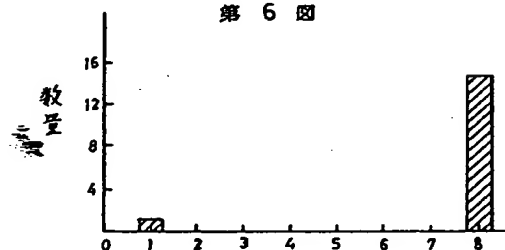
第 4 図



第 5 図



第 6 図



第 7 図

